

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS

• GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



ITZW

PATENT  
0941-0924P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LEE, Min-Hung et al. Conf.: UNASSIGNED  
Appl. No.: 10/791,816 Group: UNASSIGNED  
Filed: March 4, 2004 Examiner: UNASSIGNED  
For: STRAINED SILICON CARBON ALLOY MOSFET  
STRUCTURE AND FABRICATION METHOD  
THEREOF

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

June 15, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092120723	July 29, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Murcy  
Joe McKinney Murcy, #32,334

KM/jdn  
0941-0924P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)



Min-Hung Lee et al.  
App. No. 10/791,816  
Filed 31/04/2004  
Birch, Stewart  
Kolarch & Birch, up  
Att. Docket  
No. 0942-0924 P

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

TEL. 703 205 8000

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 29 日  
Application Date

申請案號：092120723  
Application No.

申請人：劉致為  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 27 日  
Issue Date

發文字號：09320186940  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	應變矽碳場效電晶體
	英 文	Strained SiC MOSFET
二、 發明人 (共3人)	姓 名 (中文)	1. 李敏鴻 2. 張書通 3. 劉致為
	姓 名 (英文)	1. Min Hung Lee 2. Shu Tong Chang 3. Chee Wee Liu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮中興路195號11館390室 2. 桃園縣楊梅鎮秀才路20號 3. 台北市羅斯福路四段一號電機系515室
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 劉致為
	名稱或 姓 名 (英文)	1. Chee Wee Liu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市羅斯福路四段一號電機系515室 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1.
	代表人 (英文)	1.



應變矽碳場效電晶體專利\_1.ppt

四、中文發明摘要 (發明名稱：應變矽碳場效電晶體)

本案係為一種將應變矽碳層成長於鬆弛矽鍺緩衝層上之場效電晶體，其包含：一矽基底；一漸變矽鍺層(graded  $\text{Si}_{1-x}\text{Ge}_x$  layer)，用以漸次增加鍺含量；一鬆弛矽鍺緩衝層(relaxed  $\text{Si}_{1-x}\text{Ge}_x$  buffer layer)，用以產生應變矽碳；一應變矽碳通道，使載子在傳輸方向的遷移率增加，使其有較大的電流，較快的速度；一氧化層；一複晶矽閘極電極(或金屬閘極電極)；以及源極、汲極在通道兩端，使其形成場效電晶體結構。

五、(一)、本案代表圖為：第\_\_一\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

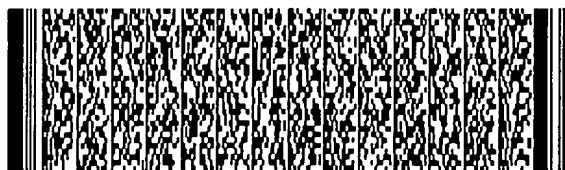
10：為矽基板。

12：為漸變矽鍺層。

14：為鬆弛矽鍺緩衝層。

六、英文發明摘要 (發明名稱：Strained SiC MOSFET)

The strained  $\text{Si}_{1-x}\text{C}_x$  grown on relaxed  $\text{Si}_{1-x}\text{Ge}_x$  buffer to form novel CMOS. The mobility in the channel is enhanced due to the strain of  $\text{Si}_{1-x}\text{C}_x$  channel. The strained  $\text{Si}_{1-x}\text{C}_x$  MOSFET is composed of a Si substrate, a graded  $\text{Si}_{1-x}\text{Ge}_x$  layer, a relaxed  $\text{Si}_{1-x}\text{Ge}_x$  buffer layer, a strained  $\text{Si}_{1-x}\text{C}_x$  channel layer, a oxide layer, a ploy Si gate electrode (or metal gate electrode), source and drain.



四、中文發明摘要 (發明名稱：應變矽碳場效電晶體)

16：為應變矽碳層。

22：為閘極氧化層。

24：為複晶矽閘極電極。

36：為間隙壁。

34：為源極、汲極延伸。

44：為源極、汲極。

六、英文發明摘要 (發明名稱：Strained SiC MOSFET)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

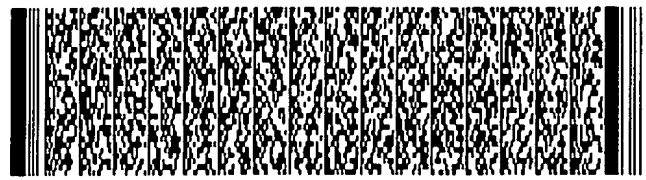
### 【發明所屬之技術領域】

本案係一種場效電晶體，尤指應用於解決元件尺寸縮小所遭遇到物理極限的問題。可使元件密度增加，電流變大，速度變快。

### 【先前技術】

應變矽(strained Si)的金氧半電晶體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)中，應變矽現有的方法，是利用矽成長於鬆弛(relaxed)矽鍺層上，使矽產生拉伸應變(tensile strain)，電子與電洞的遷移率(mobility)已被證實有增加的效果，因此，Intel已將應變矽技術用於其90nm製程節點(technology node)中。但在相同鍺含量下，P型及N型金氧半場效電晶體存在速度增加量不對稱之缺點。理論上，利用碳摻雜來增加應變矽通道應變，可預期其電流驅動力與元件速度會大幅增加，CMOS對稱性也會比較好(大幅提升PMOS電流驅動力與元件速度的)。另外加入碳至應變矽通道，由於碳phonon能量較矽要大得多，根據一般通則飽和速度增大與phonon能量的增加有關，故在應變矽碳通道中載子的飽和速度預期會比應變矽來得高。此外，加入碳還可以減低硼及磷的outdiffusion，使MOSFET具有abrupt的汲/源極接面及通道的摻雜分佈，減低短通道效應，使元件的尺寸更能縮小。

因此，本發明即結合上述應變矽的鬆弛矽鍺緩衝層





## 五、發明說明 (2)

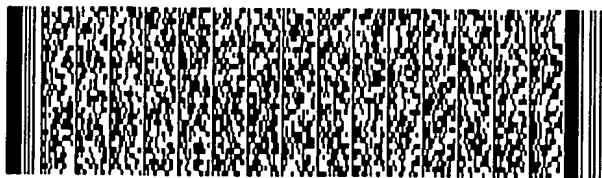
(relaxed SiGe buffer)與應變矽碳應變量增加的優點，設計出應變矽碳場效電晶體(Strained  $\text{Si}_{1-x}\text{C}_x$  CMOS)結構，此電晶體可以使元件縮小，並提升元件的電流驅動力，突破傳統的物理極限。

### 【發明內容】

本案係為一種將應變矽碳層成長於鬆弛矽鍺緩衝層上之場效電晶體，其包含：一矽基底；一漸變矽鍺層(graded  $\text{Si}_{1-x}\text{Ge}_x$  layer)，用以漸次增加鍺含量；一鬆弛矽鍺緩衝層(relaxed  $\text{Si}_{1-x}\text{Ge}_x$  buffer layer)，用以產生完全鬆弛之矽鍺，以成長應變矽碳；一應變矽碳通道，使載子在傳輸方向的遷移率增加，使其有較大的電流，較快的速度；一氧化層；一複晶矽閘極電極(或金屬閘極電極)；以及源極、汲極在通道兩端，使其形成場效電晶體結構。

根據上述構想，應變矽碳電晶體可經由下列方式得到：先利用在Si基底上成長漸變矽鍺層，然後再成長鬆弛矽鍺緩衝層，使矽鍺能完全鬆弛而成為虛擬基板(virtual substrate)，並在其上成長矽碳層，此時此矽碳磊晶層為受拉伸應變(tensile strain)之應變矽碳(strained  $\text{Si}_{1-x}\text{C}_x$ )，再透過微影、蝕刻或其他可能之方式，製作閘極氧化層，複晶矽閘極電極(或金屬閘極電極)，以及源極、汲極在通道兩端，使其形成場效電晶體結構。

根據上述構想，電晶體通道的應變矽碳中載子可為電子或電洞。



### 五、發明說明 (3)

根據上述構想，該應變矽碳所受之應變可使載子在傳輸方向增加速度。

根據上述構想，複晶矽閘極(poly gate)，可為n+poly gate或p+poly gate。

本案圖式中所包含之各單元列示如下：

矽基板 10。

漸變矽鍺層 12。

鬆弛矽鍺緩衝層 14。

應變矽碳層 16。

閘極氧化層 22。

複晶矽閘極電極 24。

源極、汲極延伸之離子佈植 32。

源極、汲極延伸 34。

間隙壁 36。

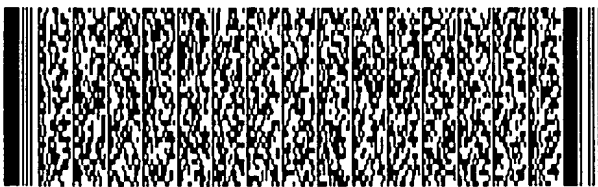
源極、汲極之離子佈植 42。

源極、汲極 44。

離子佈植後退火 46。

### 【實施方式】

圖一其係本案提出之應變矽碳場效電晶體的結構示意圖，其中主要單元係由如圖所示之矽基板10、漸變矽鍺層12、鬆弛矽鍺緩衝層14、應變矽碳層16、閘極氧化層22、

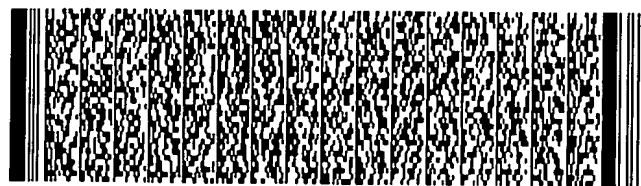


#### 五、發明說明 (4)

複晶矽閘極電極24、間隙壁36、源極與汲極延伸34、及源極與汲極44所完成。對應於圖一的應變矽碳場效電晶體結構製作，其製作步驟如圖二所示。對應習知之應變矽場效電晶體，其載子的等效遷移率(effective mobility)與鬆弛矽鍺層之鍺濃度的關係如圖三所示。

在圖一中的應變矽碳層是取代目前習知的應變矽層，主要是利用矽與碳原子的晶格常數(lattice constant)差有~52%，因此等效上應變矽碳層將會受到更大的應變，而使得載子的遷移率的增加更明顯，且可以改善PMOS與NMOS在載子遷移率上增加不對稱之缺點。

圖二為此應變矽碳場效電晶體結構製作流程，為先在矽基板10上磊晶成一漸變矽鍺層12，厚度可為約1 $\mu$ m，鍺濃度可為從0到20%(或更高的濃度，視欲設計之矽碳層應變量大小而定)，接下來再磊晶一鬆弛矽鍺緩衝層14，厚度可為1 $\mu$ m，鍺濃度維持在20%(或更高的濃度，視欲設計之矽碳層應變量大小而定)，此層要求做到完全鬆弛(fully relaxed)，以期能發揮應變矽碳場效電晶體之最大效能，然後磊晶成長應變矽碳層16，此應變矽碳層16可為20 nm，之後再成長一閘極氧化層22，此層可為LT0(Low Temperature Oxide)，溫度不可超過800 $^{\circ}$ C，厚度可為20 nm，接下來再成長複晶矽閘極電極24，其雜質摻雜可為擴散或離子佈植，溫度不可超過800 $^{\circ}$ C，透過微影、蝕刻或其他可能之方式定義出閘極氧化層22與複晶矽閘極電極24，如圖二(a)，利用離子佈植製作源極與汲極延伸34，

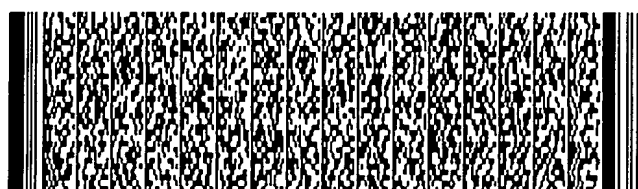


#### 五、發明說明 (5)

如圖二(b)，透過微影、蝕刻或其他可能之方式製作出間隙壁36，如圖二(c)，利用間隙壁自我對準(self-alignment)以離子佈植形成源極與汲極，如圖二(d)，再予以退火處理，溫度不可超過800 C，爐管(furnace)或快速熱退火(RTA, Rapid Thermal Annealing)皆可。

圖三為應變矽場效電晶體中電子、電洞遷移率增加因數對銻濃度之關係，電子的遷移率到銻濃度20%時便已飽和，而電洞卻要到約40%才會飽合，且當固定鬆弛矽銻緩衝層14之銻濃度，如20%時，電子遷移率遠大於電洞，造成NMOS與PMOS驅動電流不對稱，電路設計上造成困難，因此利用矽與碳原子的晶格常數差異(lattice constant)有~52%，因此，加入1%的碳，等效上而言，在鬆弛矽銻緩衝層14多10%的銻的摻雜，可以使應變量更大，因此可以推得當以矽銻為基板，在其上成長應變矽碳合金所製作之NMOS與PMOS場效電晶體，預期其驅動電流較對稱。

圖四為矽基板上成長應變矽碳在不同的碳含量與合金散射位能(alloy scattering potential)下之電子遷率，矽碳的合金散射位能明顯的高於矽銻，此處我們列入計算相當大範圍的合金散射位能(0到2 eV)，此位能對於低電場的電子遷移率影響很大，在低的合金散射位能(<0.6 eV)，應變效應是完全有幫助的，但大的合金散射位能(>1 eV)，卻會使電子的遷移率降低，因此，若只是一直增加碳含量，對電子遷移率是沒有幫助的，甚至還會低過原本



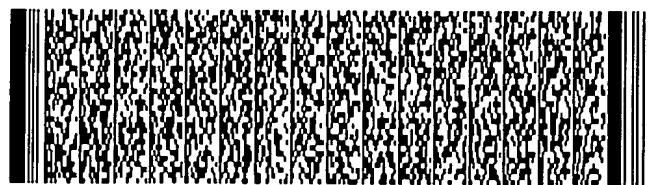
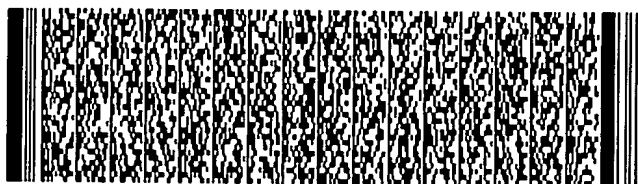
## 五、發明說明 (6)

的鬆弛矽(relaxed Si)。

圖五為矽基板上成長應變矽碳在不同的碳含量與合金散射位能下之電洞遷移率，電洞遷移率對碳含量的變化取決於合金散射位能的值，在應變矽碳上，應變造成電洞能帶的分裂，使得大部分電洞分佈在有效質量較小的輕電洞帶(light hole band)，另一方面，電洞能帶的分裂亦可以減少電洞帶間的intervalley散射，因此，可增加平面方向的遷移率，在合金散射=0 eV時，遷移率可達1200 cm<sup>2</sup>/Vs，然而在加多碳含量會增加合金散射，且會降低遷移率，且合金散射對遷移率的影響都是負面的，在圖五，在低碳含量下，合金散射之比重成分較小，此時由應變造成的intervalley散射大幅減少的優勢之下，遷移率會隨碳增加而增加，但在高碳量時，由於合金散射為主要散射機制，遠大過所以應變造成intervalley散射大幅減少的優勢，所以遷移率隨碳量增加而降低。

圖六為選取圖四與圖五中碳含量0.5%時之載子遷移率，將其substrate由Si改成SiGe時，其載子遷移率增百分比substrate鍍含量之關係。由此理論預測發現，電洞的增加量大幅優於電子，因此可透過調變鍍含量得到較對稱之電子與電洞遷移率，用以設計較電流驅動力與速度對稱之PMOS與NMOS。

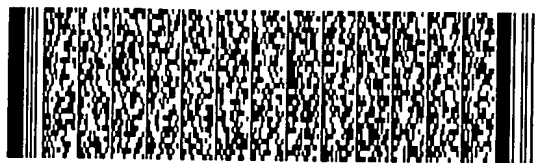
綜上所述，本案所揭露之應變矽碳場效電晶體，其係利用應變矽碳合金材料應變量大於應變矽材料的優點，設計以應變矽碳取代應變矽之場效電晶體(Strained Si<sub>1-x</sub>C<sub>x</sub>)。



#### 五、發明說明 (7)

CMOS) 的結構，且此設計之PMOS與NMOS有較對稱之電流驅動力與速度，因此本案所揭露之應變矽碳場效電晶體可以使元件縮小，並提升元件的電流驅動力，突破傳統的物理極限。

故本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。



## 圖式簡單說明

### 【圖式簡單說明】

本案得藉由下列圖式及詳細說明，俾得更深入之瞭解：

第一圖：本專利之應變矽碳場效電晶體實施例結構示意圖。

其中 10：為矽基板。12：為漸變矽鍺層。14：為鬆弛矽鍺緩衝層。16：為應變矽碳層。22：為閘極氧化層。24：為複晶矽閘極電極。36：為間隙壁。34：為源極、汲極延伸。44：為源極、汲極。

第二圖：應變矽碳場效電晶體之簡易製作流程圖。

(a) 為製作應變矽碳之虛擬基板。

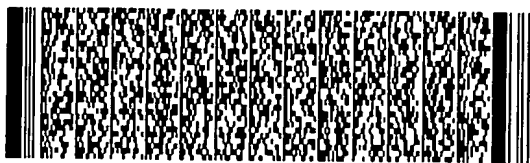
(b) 透過微影、蝕刻或其他可能之方式，製作閘極氧化層，複晶矽閘極電極(或金屬閘極電極)。

(c) 離子佈植形成源極、汲極延伸後，再透過微影、蝕刻或其他可能之方式，製作間隙壁。

(d) 利用間隙壁自我對準(self-alignment)以離子佈植形成源極、汲極。

第三圖：其係本案實施例之應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。

第四圖：其係本案實施例之應變矽碳中電子遷移率對應變矽碳之碳含量含量之關係。



圖式簡單說明

第五圖：其係本案實施例之應變矽碳中電洞遷移率對應變矽碳之碳含量之關係。

第六圖：成長在矽鍺substate之應變矽碳中載子遷移率增加百分比對substrate鍺含量的關係。





## 六、申請專利範圍

### 1. 應變矽碳場效電晶體，其包含：

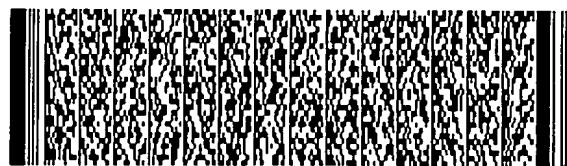
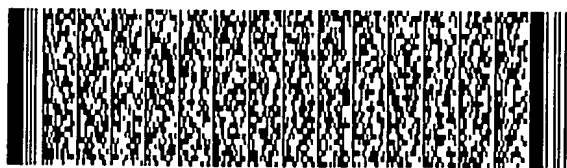
- 一 矽基底
- 一 漸變矽鍺層
- 一 鬆弛矽鍺緩衝層
- 一 應變矽碳層
- 一 閘極氧化層
- 一 複晶矽閘極電極
- 一 源極與汲極電極

其中先利用在Si基底上成長漸變矽鍺層，然後再成長鬆弛矽鍺緩衝層，使矽鍺能完全鬆弛而成為虛擬基板(virtual substrate)，並在其上成長矽碳層，此時此矽碳磊晶層為受張力應變(tensile strain)之應變矽碳(strained  $\text{Si}_{1-x}\text{C}_x$ )，在成長氧化層之前先長一層Si cap犧牲層，用以提高氧化層與通道介面品質，然後，再透過微影、蝕刻或其他可能之方式，製作閘極氧化層，複晶矽閘極電極(或金屬閘極電極)，以及源極、汲極在通道兩端，使其形成場效電晶體結構。

2. 如申請專利範圍第1項所述之結構，其中鬆弛矽鍺緩衝層亦可為矽鍺碳合金、矽、鍺或能產生應變矽碳通道之半導體。

3. 如申請專利範圍第1項所述之結構，閘極氧化層亦可為高介電常數(high K)材料的絕緣層，如 $\text{HfO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$  ……等。

4. 如申請專利範圍第1項所述之結構，其傳導載子可為電

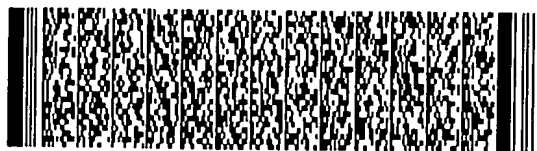


#### 六、申請專利範圍

子或電洞，亦即P型通道(PMOS)或N型通道(NMOS)場效晶體。

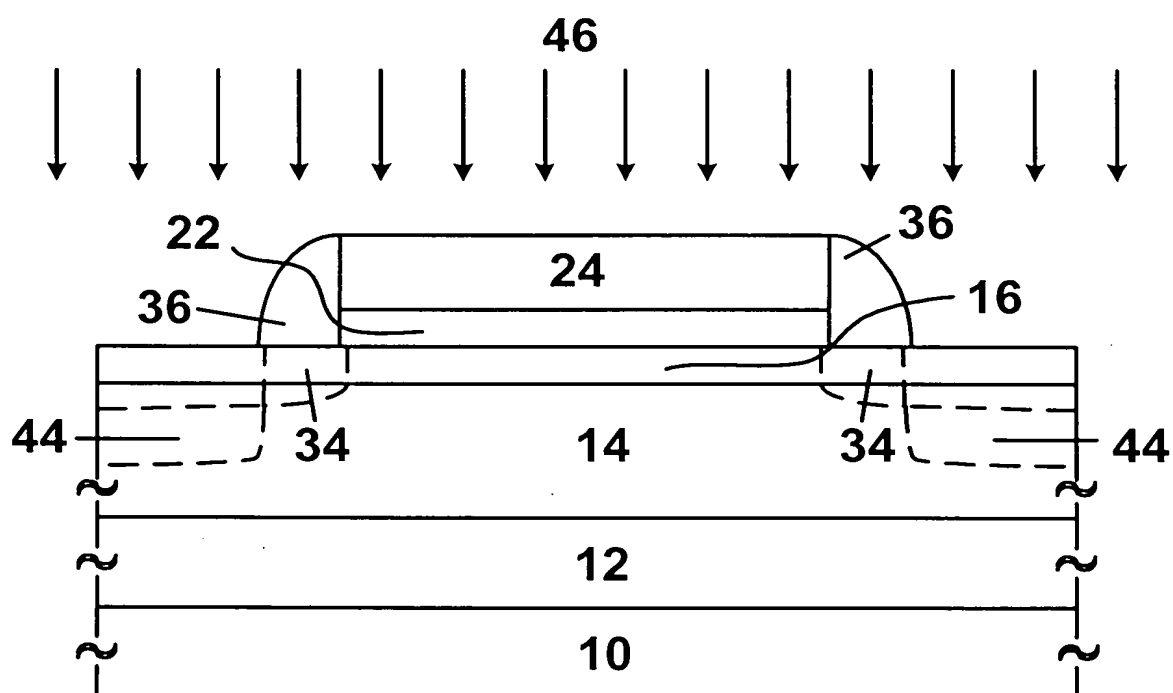
5. 如申請專利範圍第1項所述之結構，其中複晶矽閘極電極亦可複晶矽鍺閘極，並且皆包含n+與p+摻雜之複晶矽或複晶矽鍺或者金屬閘極電極。

6. 如申請專利範圍第1項所述之結構，其中矽基板亦可包含n與p摻雜之鍺基板或三五族半導體基板或SOI(絕緣層上矽)基板。



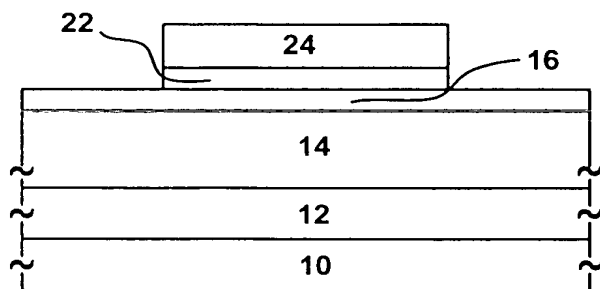
# 圖式

第一圖本專利之應變矽碳場效電晶體實施例結構示意圖。

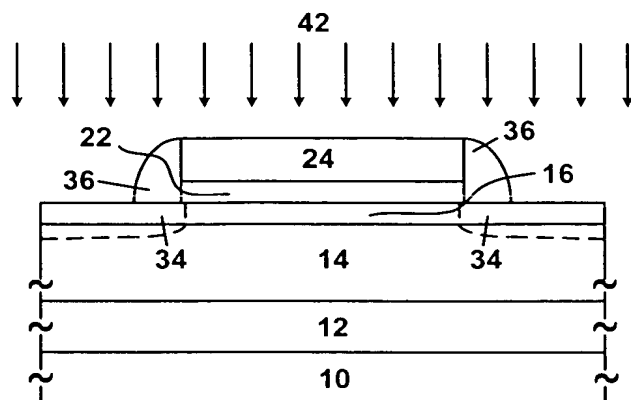


第二圖應變矽破場效電晶體之簡易製作流程圖。

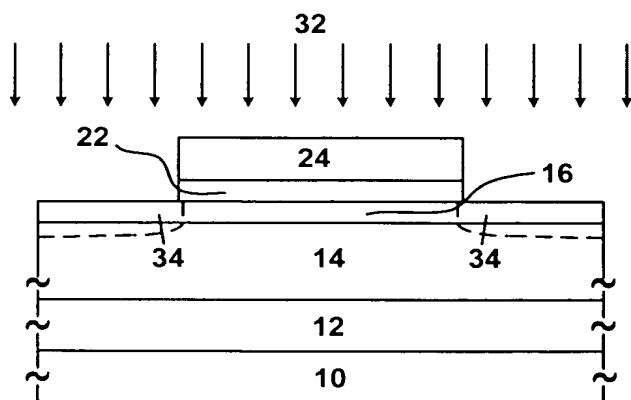
(a)



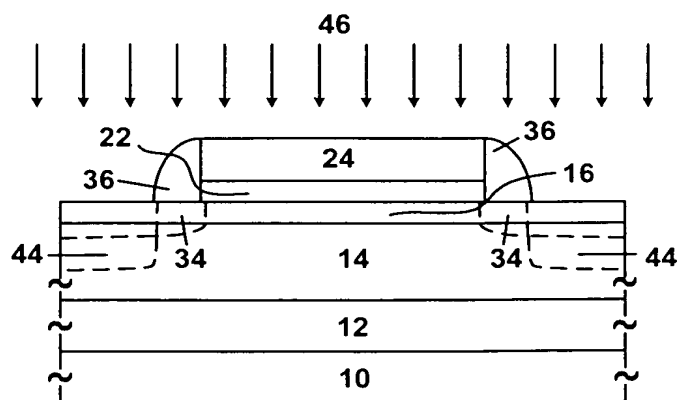
(c)



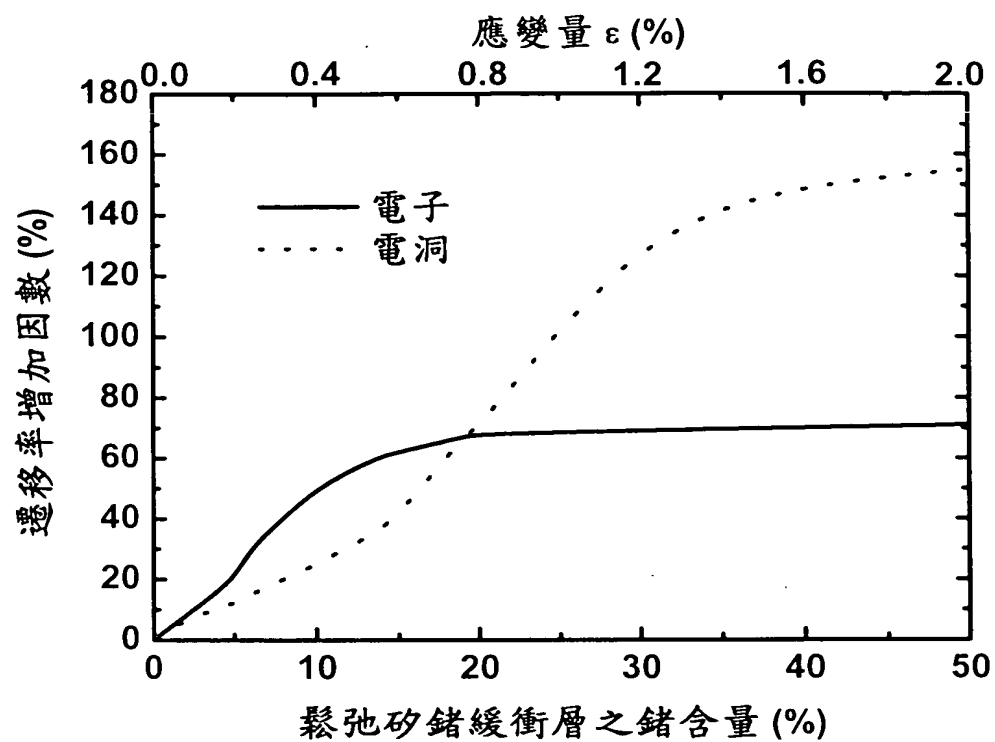
(b)



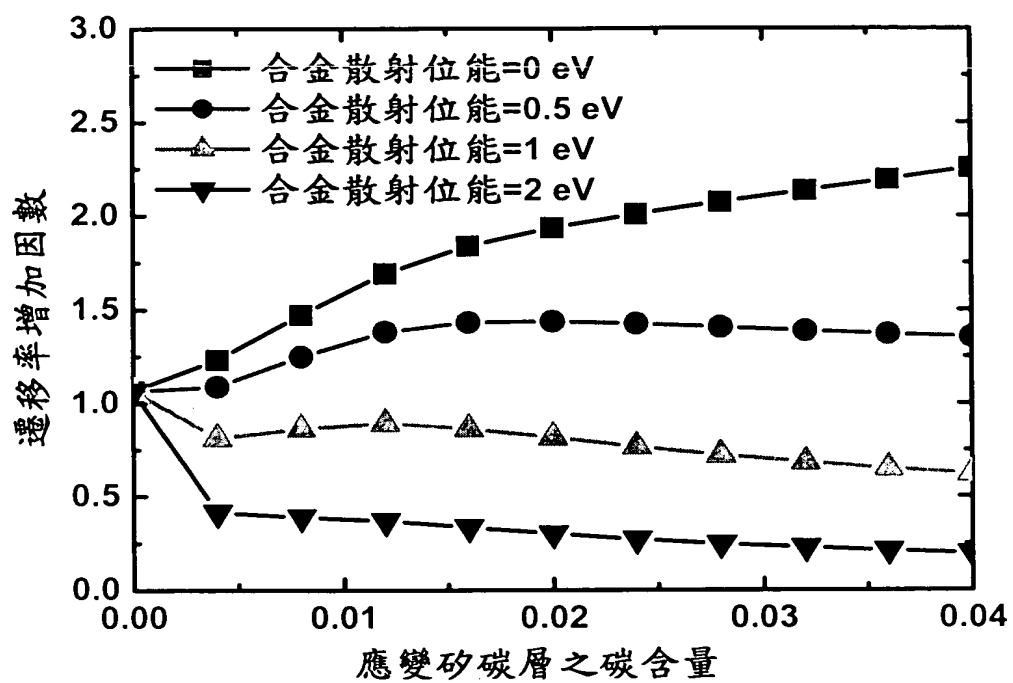
(d)



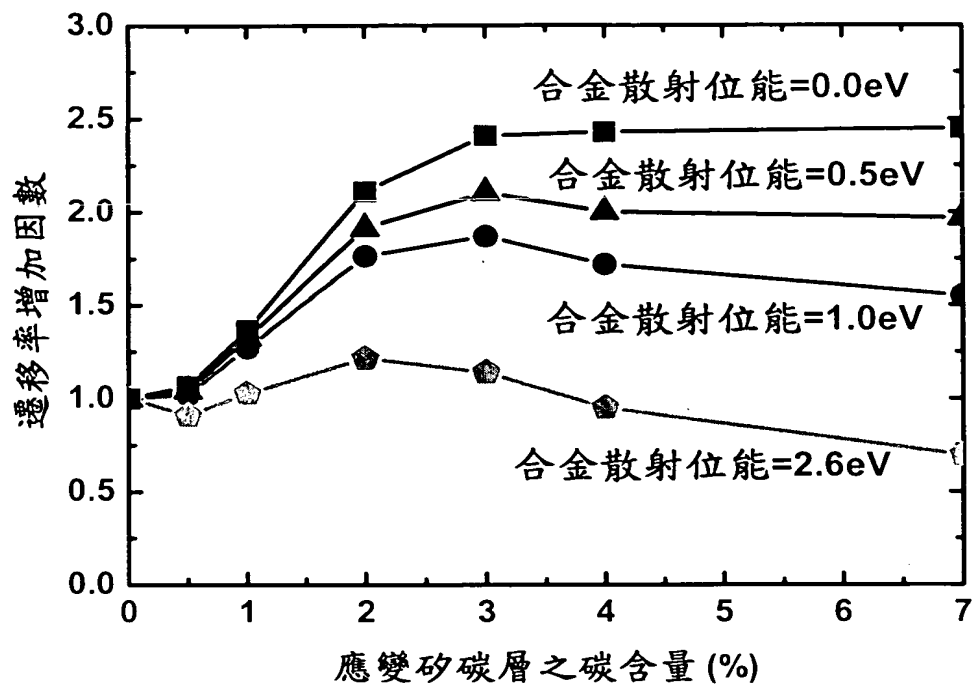
第三圖 應變矽中電子、電洞遷移率增加因數對鍺濃度之關係。



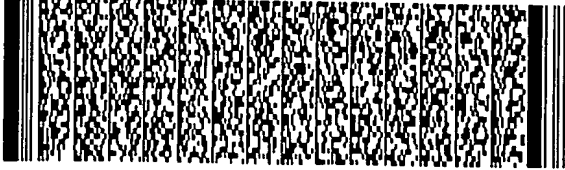
第四圖應變矽碳中電子遷移率對應變矽碳的碳含量之關係



第五圖 應變矽碳中電洞遷移率對應變矽碳的碳含量之關係



第 1/15 頁



第 2/15 頁



第 2/15 頁



第 3/15 頁



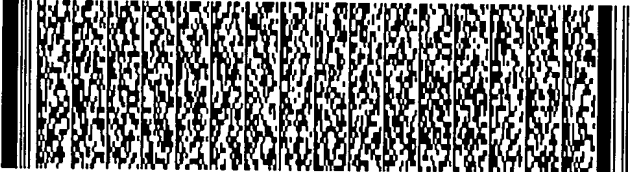
第 4/15 頁



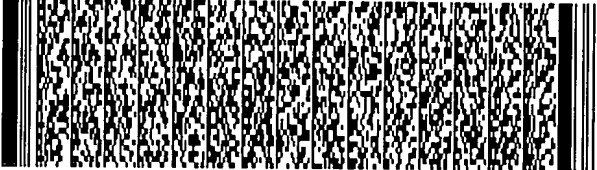
第 5/15 頁



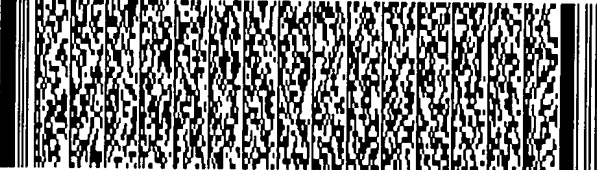
第 5/15 頁



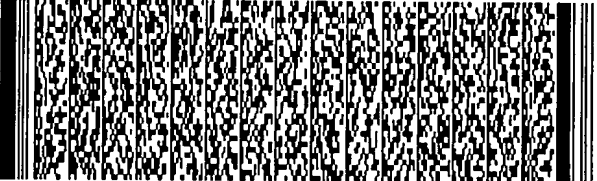
第 6/15 頁



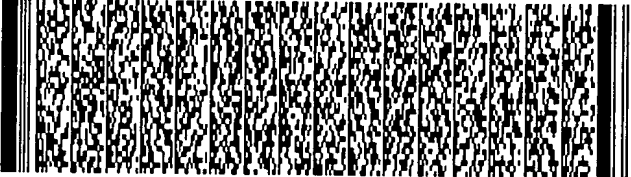
第 6/15 頁



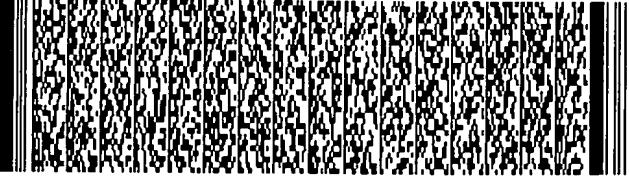
第 7/15 頁



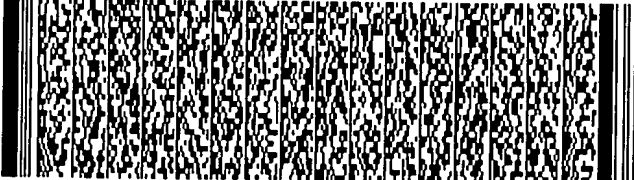
第 8/15 頁



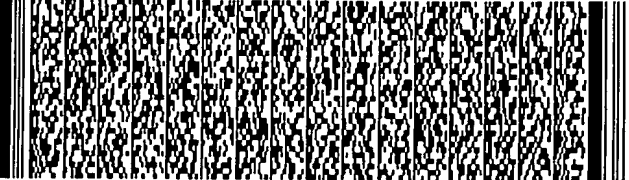
第 8/15 頁



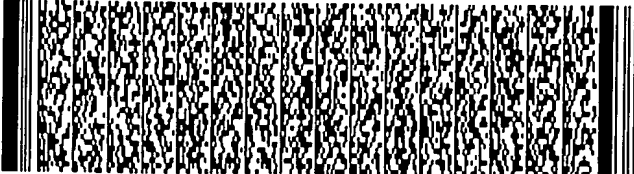
第 9/15 頁



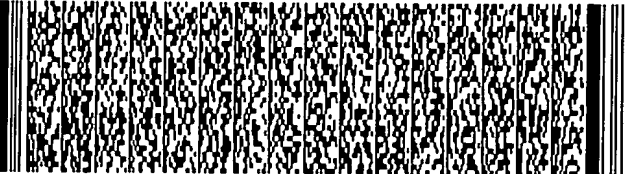
第 9/15 頁



第 10/15 頁

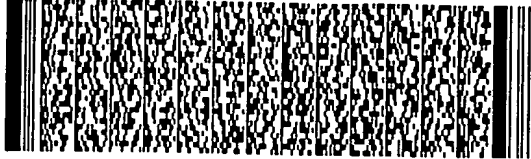


第 10/15 頁

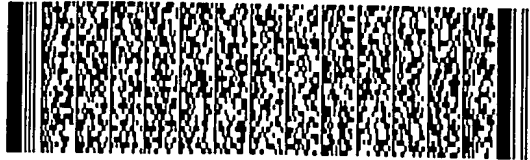




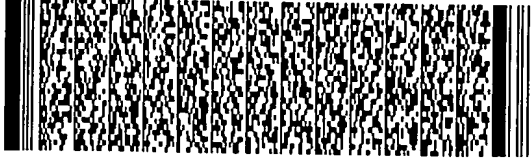
第 11/15 頁



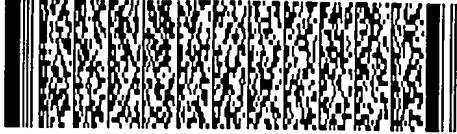
第 12/15 頁



第 12/15 頁



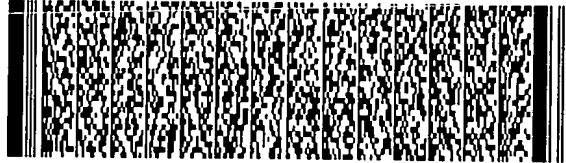
第 13/15 頁



第 14/15 頁



第 14/15 頁



第 15/15 頁

